ACEPipe - Estudo e Proposta de Técnicas de Implementação de Circuitos Assíncronos do tipo Pipeline

Gelmar Luiz da Costa, Matheus Moreira, Ney Calazans

Faculdade de Informática - PUCRS

Resumo

O trabalho de pesquisa associado à bolsa IC do primeiro autor deste versa sobre o estudo de estruturas do tipo *pipeline* assíncronas. Estas usam uma abordagem similar a pipelines síncronos, mas é comum que nelas registradores e/ou *latches* estáticos sejam construídos com *C-elements*, em substituição a registradores tradicionais baseados em *flip-flops* ou *latches* com controle de um sinal de relógio.

Exemplos práticos do sucesso do uso de *pipelines* em circuitos integrados são processadores de alto desempenho encontrados nas famílias da INTEL e nas unidades gráficas de placas de vídeo como as produzidas pela NVIDIA.

Em pipelines assíncronos, blocos combinacionais entre registradores podem ser implementados via diferentes abordagens, tal como via o uso de lógica *Delay Insensitive Minterm Synthesis* (DIMS) ou *Pre-Charged Half Buffer* (PCHB).

Uma vantagem significativa em pipelines assíncronos é habilitar o controle de componentes por protocolos de comunicação locais (denominados *handshakes*) e não sinais globais, como em versões síncronas. Assim, a vazão do circuito depende do atraso médio entre blocos e não do atraso de pior caso.

Este projeto visa explorar a gama existente de abordagens para implementar blocos combinacionais em pipelines assíncronos e propor novas técnicas de implementação, mais adaptadas a tecnologias microeletrônicas.

Os avanços esperados são por buscar garantir circuitos com melhores valores para um subconjunto de figuras de mérito tais como: área, velocidade, dissipação de potência, consumo de energia, robustez a efeitos de variabilidade.